

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 760 130

②1 N° d'enregistrement national : **97 02458**

⑤1 Int Cl⁶ : H 01 L 21/336, H 01 L 29/78

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 25.02.97.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 28.08.98 Bulletin 98/35.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : SGS THOMSON MICROELECTRO-
NICS SA SOCIÉTÉ ANONYME — FR et FRANCE
TELECOM — FR.

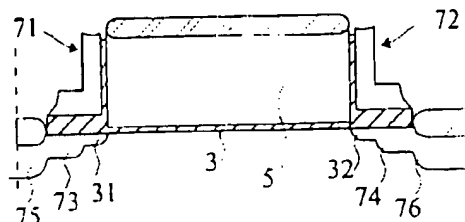
⑦2 Inventeur(s) : MARTY MICHEL, SCHWARTZMANN
THIERRY et FRANCOU JEAN MARC.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : CABINET DE BEAUMONT.

⑤4 TRANSISTOR MOS A FAIBLE RESISTANCE DE DRAIN.

⑤7 L'invention concerne un transistor MOS comprenant de part et d'autre de sa grille des espaceurs en forme de L (71, 72), la branche verticale du L s'appuyant contre la grille. Les régions dopées de source et de drain comportent une première zone (73, 74) d'un premier niveau de dopage sensiblement sous la branche horizontale de chaque L, et une deuxième zone (75, 76) d'un deuxième niveau de dopage supérieur au premier au-delà du L.



FR 2 760 130 - A1



TRANSISTOR MOS À FAIBLE RÉSISTANCE DE DRAIN

La présente invention concerne les transistors MOS dans des circuits intégrés et leurs procédés de fabrication.

La figure 1 représente la structure d'un transistor MOS du type le plus courant à l'heure actuelle. Ce transistor est
5 formé dans un substrat 1, faiblement dopé selon un type de conductivité souhaité, par exemple le type N s'il s'agit de former un transistor MOS à canal P. Le substrat correspond généralement soit directement à une portion de couche épitaxiée, éventuellement redopée pour obtenir une conductivité de zone de
10 canal souhaitée, soit à un caisson dopé du type de conductivité opposé au type de conductivité initial de la couche épitaxiée. Sur ce substrat est d'abord formée une couche isolante mince 3 (couche d'isolement de grille) puis une région de grille conductrice 5, généralement en silicium polycristallin dopé. Une
15 première implantation est réalisée en utilisant la grille 5 comme masque pour former des régions de source et de drain faiblement dopées 6 et 7. Ensuite, des espaceurs 8 et 9 en un matériau isolant, généralement de l'oxyde ou du nitrure de silicium, sont formés de part et d'autre de la grille et une deuxième implanta-
20 tion est réalisée pour former des régions de source et de drain plus fortement dopées 10 et 11. On réalise ensuite des contacts

sur les régions de grille, de source et de drain par divers procédés connus. Dans de nombreux cas, on procède au préalable à une siliciuration superficielle des régions 5, 10 et 11 pour améliorer la conductivité et la qualité des contacts.

5 L'utilisation de telles régions de source et de drain, et plus particulièrement de drain, comportant une zone de contact plus fortement dopée et une zone s'étendant jusqu'à la limite de la grille plus faiblement dopée présente de nombreux avantages qui sont bien connus dans la technique. Cette structure est
10 couramment désignée par l'appellation structure LDD d'après le terme anglais "lightly doped drain" (en français : drain faiblement dopé). Parmi les avantages de telles structures LDD, on notera plus particulièrement ici le fait que, les régions d'extension de source et de drain 6 et 7 étant des régions fai-
15 blement dopées, ces régions diffuseront peu lors d'une étape de recuit après implantation. En conséquence, la longueur de canal, c'est-à-dire la distance entre les zones en regard des régions 6 et 7, est définie avec une grande précision. Par contre, les régions 10 et 11 plus fortement dopées diffuseront plus après un
20 recuit. Ainsi, en l'absence des régions 6 et 7, la précision de définition de la longueur de canal serait moins grande et plus susceptible de varier en fonction des variations des paramètres de fabrication et notamment de l'étape de recuit. Un autre avantage des structures LDD est d'éviter la diffusion des zones 10 et
25 11 sous la grille qui provoquerait une diminution de la tenue en tension des transistors.

Toutefois, quand on arrive à des transistors de très petite longueur de grille, par exemple de l'ordre de 0,3 à 0,5 μm ou moins, les contraintes technologiques de réalisation des espa-
30 ceurs 8 et 9 font que la longueur des régions d'extension de source et de drain 6 et 7 devient non-négligeable par rapport à la longueur de grille. La contribution de ces régions d'extension de source et de drain à la résistance source-drain devient alors non-négligeable et constitue un paramètre principal de cette
35 résistance. Ceci limite de façon importante la valeur maximum

possible du courant de drain (ou la valeur minimum possible de la résistance d'accès des transistors MOS).

La présente invention vise à réduire ce problème tout en conservant l'avantage indiqué ci-dessus de définition précise de la longueur de canal par l'utilisation de régions d'extension de drain faiblement dopées.

Pour atteindre ces objets, la présente invention prévoit un transistor MOS comprenant de part et d'autre de sa grille des espaceurs en forme de L, la branche verticale du L s'appuyant contre la grille, et les régions dopées de source et de drain comportant une première zone d'un premier niveau de dopage sensiblement sous la branche horizontale de chaque L, et une deuxième zone d'un deuxième niveau de dopage supérieur au premier au-delà du L.

Selon un mode de réalisation de la présente invention, les régions dopées de source et de drain comportent une troisième zone d'un troisième niveau de dopage inférieur au premier sensiblement sous la branche verticale de chaque L.

Selon un mode de réalisation de la présente invention, les espaceurs en forme de L sont en nitrure de silicium.

La présente invention prévoit aussi un procédé de fabrication d'un tel transistor MOS à niveaux de dopage de drain et de source étagés, comprenant les étapes consistant à définir une région de grille ; former de part et d'autre de la grille des espaceurs en nitrure de silicium en forme de L ; et procéder à une implantation masquée partiellement seulement par la branche horizontale de chaque L.

Selon un mode de réalisation de la présente invention, le procédé comprend en outre une étape d'implantation à faible dose avant l'étape de formation des espaceurs.

Selon un mode de réalisation de la présente invention, la formation d'espaceurs en forme de L comprend les étapes consistant à procéder à une étape d'oxydation ; déposer une couche de nitrure de silicium ; déposer une couche de silicium polycristallin ; réaliser une gravure anisotrope du silicium

polycristallin pour laisser en place des espaceurs de silicium polycristallin ; graver le nitrure de silicium apparent ; et éliminer les espaceurs de silicium polycristallin.

Selon un mode de réalisation de la présente invention,
5 le procédé comprend en outre les étapes consistant à procéder à une déoxydation ; et réaliser une siliciuration.

Ainsi, de façon générale, la présente invention prévoit une structure de source et de drain à niveau de dopage étagé entre les régions de contact de drain et de source et la limite
10 entre ces régions de source et de drain et la zone de canal.

Ceci est obtenu grâce à une structure spécifique d'espaceurs en L réalisés de sorte que la forte implantation de source et de drain traverse partiellement la branche horizontale du L.

15 Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

20 la figure 1, décrite précédemment, représente de façon schématique une vue en coupe d'une structure de transistors MOS à espaceurs classiques ; et

les figures 2 à 8 représentent des étapes successives de fabrication d'un transistor MOS selon la présente invention.

25 Initialement, comme cela est représenté en figure 2, on forme sur un substrat 1 de silicium monocristallin de type N, par exemple une couche épitaxiée, une couche mince d'oxyde de silicium 3 puis on dépose une couche de silicium polycristallin 5. La couche 5 est soumise à une implantation (typiquement quelques
30 10^{15} at./cm² de phosphore à faible énergie) et à un recuit pour diminuer sa résistivité puis elle est délimitée selon la forme souhaitée d'une grille de transistor MOS par une couche de produit photosensible 20. A titre d'exemple, la couche d'oxyde de silicium 3 a une épaisseur de 7 nm et la couche 5 de silicium
35 polycristallin a une épaisseur de 200 nm.

A l'étape illustrée en figure 3, on a réalisé une implantation à faible dose (par exemple $8 \cdot 10^{13}$ at./cm² sous 18 keV) d'un dopant (par exemple du bore) propre à former des régions de type P 31 et 32 alignées sur la grille 5. Ensuite, l'ensemble de la structure a été réoxydé pour atteindre une épaisseur d'oxyde sur le silicium polycristallin de l'ordre de 15 nm. Simultanément, l'épaisseur d'oxyde sur les zones 33 et 34, respectivement au-dessus des régions 31 et 32 a légèrement augmenté pour atteindre une valeur de l'ordre de 10 à 15 nm.

A l'étape illustrée en figure 4, on a déposé successivement une couche de nitrure de silicium 41 et une couche de silicium polycristallin 42. La couche de nitrure de silicium a par exemple une épaisseur de l'ordre de 30 à 50 nm et la couche de silicium polycristallin de 60 à 100 nm.

A l'étape illustrée en figure 5, on a procédé à une gravure fortement anisotrope, par exemple dans un plasma formé d'un mélange HBr/O₂ avec une forte polarisation RF du substrat, du silicium polycristallin 42, d'où il résulte qu'il ne demeure de la couche de silicium polycristallin que des espaceurs 51 et 52 dont la largeur correspond sensiblement à l'épaisseur initiale de la couche de silicium polycristallin, c'est-à-dire environ 60 à 100 nm. On notera que, lors de cette étape, il peut se produire une surgravure des surfaces apparentes de la couche de nitrure de silicium 41, la surgravure ne dépassant pas 20 % de l'épaisseur de cette couche.

A une étape dont le résultat est illustré en figure 6, on a procédé à une gravure du nitrure de silicium. Cette gravure est par exemple réalisée par immersion dans un bain de gravure chimique ou par plasma avec une sélectivité supérieure à 50.

On procède ensuite à une élimination des espaceurs de silicium polycristallin 51 et 52, par exemple par gravure plasma ou chimique isotrope. On pourra utiliser le même type de plasma que celui mentionné précédemment (HBr/O₂) mais avec une faible puissance RF sur le substrat et/ou en rajoutant du chlore au mélange gazeux. On obtient alors, comme le représente la figure

7, des espaceurs de nitrure de silicium 71 et 72 ayant en coupe une forme de L s'appuyant contre les parois latérales de la grille de silicium polycristallin 5.

Avec les valeurs numériques indiquées précédemment, la
5 branche verticale de chaque L a une hauteur de l'ordre de 200 nm et une largeur de l'ordre de 30 à 50 nm tandis que la branche horizontale de chaque L a une longueur de l'ordre de 60 à 100 nm et une épaisseur de l'ordre de 30 à 50 nm.

Comme le représente également la figure 7, on implante
10 un dopant de type P et l'on trouve alors, dans le substrat, en plus des régions 31 et 32 déjà implantées, des régions 73 et 74 correspondant à l'implantation réalisée à travers les petites branches du L et des régions 75 et 76 correspondant aux implanta-
tions réalisées directement à travers les régions d'oxyde de
15 silicium 33 et 34.

Selon un aspect de la présente invention, la dose et l'énergie d'implantation sont choisies en fonction de l'épaisseur des espaceurs de nitrure 71 et 72 pour que le niveau de dopage final des régions 73 et 74 soit relativement élevé par rapport à
20 celui des régions 31 et 32. On plantera par exemple de l'arsenic à une dose de quelques 10^{15} at/cm² sous une énergie de 30 à 50 keV.

Ensuite, comme l'illustre la figure 8, on procède à un recuit thermique rapide pour former des régions de diffusion 31,
25 73 et 75 pour la source et 32, 74 et 76 pour le drain. Les régions 31 et 32 ont une étendue très faible, correspondant sensiblement à l'épaisseur de la couche de nitrure (30 à 50 nm) et même moins car lors du recuit de redistribution, les régions 73 et 74 diffusent un peu au-delà de leur limite d'implantation.
30 Ainsi, les résistances d'accès de source et de drain sont réduites par la présence des régions 73 et 74 de niveau de dopage intermédiaire entre celui des régions de source et drain 75 et 76 et celui des extensions de source et drain 31 et 32.

On notera d'ailleurs que selon une variante de la pré-
35 sente invention, on peut omettre l'étape d'implantation illustrée

en figure 3 (suppression des régions 31 et 32), la structure LDD correspondant alors aux zones 73-75 et 74-76.

On a également représenté en figure 8, le résultat d'une étape optionnelle et classique de siliciuration, selon
5 laquelle on a d'abord procédé à une déoxydation superficielle puis à une siliciuration pour siliciurer la surface supérieure de la grille et les surfaces supérieures de la source et du drain au-delà des espaceurs en L.

Bien entendu, la présente invention est susceptible de
10 nombreuses variantes et modifications qui apparaîtront à l'homme de l'art. Bien que la présente invention ait été décrite en relation avec un mode de réalisation particulier, on notera notamment que les types de conductivité des diverses régions semiconduc-
trices peuvent être inversés, que les dimensions indiquées à
15 titre d'exemple peuvent être modifiées, et que le matériau de chacune des couches d'oxyde de silicium, de nitrure de silicium et de silicium polycristallin peut être remplacé par un matériau présentant la même fonction, c'est-à-dire une sélectivité de gravure par rapport aux autres matériaux utilisés.

REVENDICATIONS

1. Transistor MOS caractérisé en ce qu'il comprend de part et d'autre de sa grille des espaceurs en forme de L (71, 72), la branche verticale du L s'appuyant contre la grille, et en ce que les régions dopées de source et de drain comportent :
- 5 une première zone (73, 74) d'un premier niveau de dopage sensiblement sous la branche horizontale de chaque L, et
 une deuxième zone (75, 76) d'un deuxième niveau de dopage supérieur au premier au-delà du L.
2. Transistor MOS selon la revendication 1, caractérisé en ce que les régions dopées de source et de drain comportent une
- 10 troisième zone (31, 32) d'un troisième niveau de dopage inférieur au premier sensiblement sous la branche verticale de chaque L.
3. Transistor MOS selon la revendication 1, caractérisé en ce que les espaceurs en forme de L (71, 72) sont en nitrure de
- 15 silicium.
4. Procédé de fabrication d'un transistor MOS à niveaux de dopage de drain et de source étagés, caractérisé en ce qu'il comprend les étapes suivantes :
- définir une région de grille (5) ;
- 20 former de part et d'autre de la grille des espaceurs en nitrure de silicium en forme de L (71, 72) ; et
 procéder à une implantation (73, 75 ; 74, 76) masquée partiellement seulement par la branche horizontale de chaque L.
5. Procédé selon la revendication 4, caractérisé en ce
- 25 qu'il comprend en outre une étape d'implantation à faible dose (31, 32) avant l'étape de formation des espaceurs.
6. Procédé selon la revendication 4, caractérisé en ce que la formation d'espaceurs en forme de L comprend les étapes suivantes :
- 30 procéder à une étape d'oxydation ;
 déposer une couche de nitrure de silicium (41) ;
 déposer une couche de silicium polycristallin (42) ;

réaliser une gravure anisotrope du silicium polycristallin pour laisser en place des espaceurs de silicium polycristallin (51, 52) ;

- 5 graver le nitrure de silicium apparent ; et
éliminer les espaceurs de silicium polycristallin.

7. Procédé selon la revendication 4, caractérisé en ce qu'il comprend en outre les étapes suivantes :
procéder à une déoxydation ; et
réaliser une siliciuration.

1/2

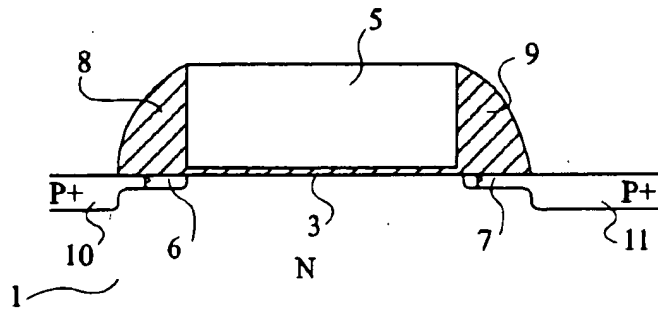


Fig 1

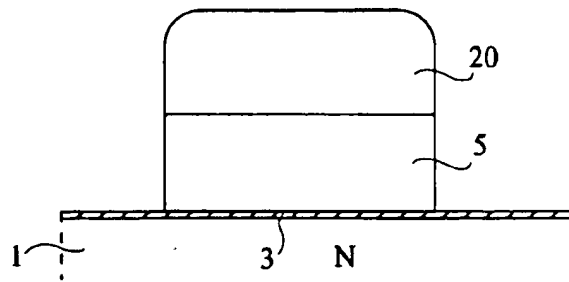


Fig 2

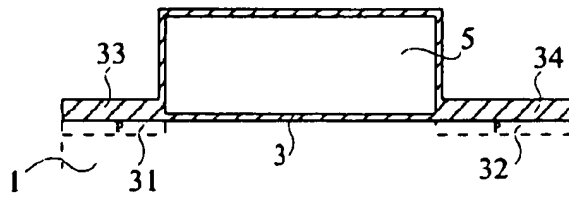


Fig 3

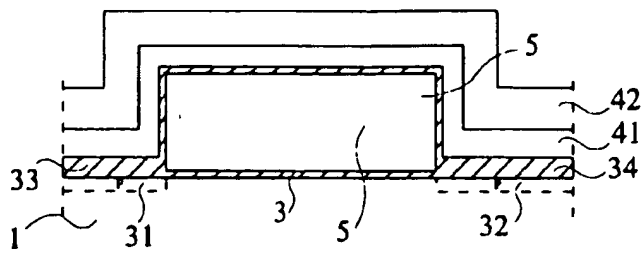


Fig 4

2/2

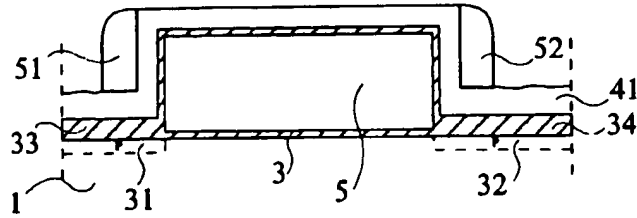


Fig 5

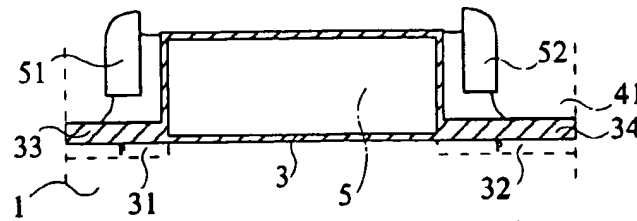


Fig 6

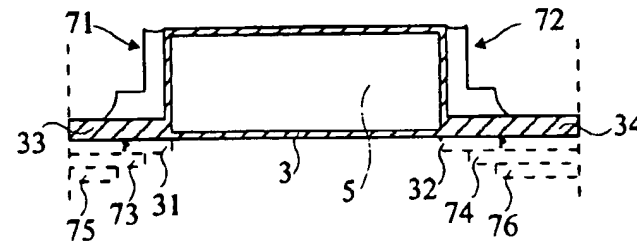


Fig 7

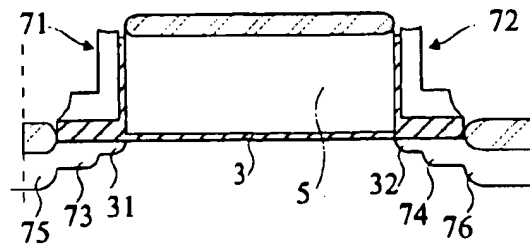


Fig 8

2760130

REPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE
PRELIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 541365
FR 9702458

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	PATENT ABSTRACTS OF JAPAN vol. 013, no. 503 (E-844), 13 novembre 1989	1,4
Y	& JP 01 201963 A (MATSUSHITA ELECTRON CORP), 14 août 1989, * abrégé; figures *	1,3,4,6,7
Y	--- EP 0 424 019 A (AMERICAN TELEPHONE & TELEGRAPH) * le document en entier *	1,3,4,6,7
X	--- US 4 728 617 A (WOO BEEN-JON ET AL) * abrégé; figures *	1
A	--- US 4 818 714 A (HASKELL JACOB D) * colonne 8, ligne 23 - colonne 10, ligne 31 *	1,3,4,6,7
A	--- PFIESTER J R: "SURFACE-GRADED LDD MOSFET" août 1989, MOTOROLA TECHNICAL DEVELOPMENTS, VOL. 9, PAGE(S) 1/2 XP000053758 -----	2,5
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		H01L
Date d'achèvement de la recherche		Examineur
4 novembre 1997		Mimoun, B
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intermédiaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

3

EPO FORM 1503 (03.92) (P04C13)

PUB-NO: FR002760130A1
DOCUMENT-IDENTIFIER: FR 2760130 A1
TITLE: MOS transistor with L-shaped gate
sidewall spacers
PUBN-DATE: August 28, 1998

INVENTOR-INFORMATION:

NAME	COUNTRY
MARTY, MICHEL	N/A
SCHWARTZMANN, THIERRY	N/A
FRANCOU, JEAN MARC	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SGS THOMSON MICROELECTRONICS	FR

APPL-NO: FR09702458

APPL-DATE: February 25, 1997

PRIORITY-DATA: FR09702458A (February 25, 1997)

INT-CL (IPC): H01L021/336, H01L029/78

EUR-CL (EPC): H01L021/336 ; H01L029/49, H01L029/78

US-CL-CURRENT: 257/E21.435, 257/E29.152 , 257/E29.266

ABSTRACT:

CHG DATE=19990905 STATUS=C>A novel MOS transistor has an L-shaped spacer (71, 72) on each side of its gate, with the vertical limb of the L resting against the gate, and has doped source and drain regions including a first doped zone (73, 74) below the horizontal limb of each L, a second more heavily doped zone (75, 76) beyond each L and preferably a third more lightly doped zone (31, 32) below the vertical limb of each L. Also claimed is

production of
a MOS transistor with stepped drain and source doping levels by
forming an
L-shaped silicon nitride spacer (71, 72) on each side of a gate
region (5) and
carrying out implantation only partially masked by the
horizontal limb of each
L.